

APPLICATION
FOR
UNITED STATES LETTERS PATENT

TITLE: SEMICONDUCTOR DEVICE, CPU, IMAGE PROCESSING
CIRCUIT AND ELECTRONIC DEVICE, AND DRIVING
METHOD OF SEMICONDUCTOR DEVICE

APPLICANT: JUN KOYAMA

半導体装置、CPU、画像処理回路及び電子機器、並びに半導体装置の駆動方法

【技術分野】

本発明は、半導体装置に関し、特に薄膜半導体素子で構成された半導体装置および半導体装置を含んだ電子機器に関する。また、半導体装置の駆動方法に関する。

【背景技術】

近年、通信技術の進歩に伴って、携帯電話が普及している。今後は更に動画の伝送やより多くの情報伝達が予想される。一方、パーソナルコンピュータもその軽量化によって、モバイル対応の製品が生産されている。電子手帳に始まったPDAと呼ばれる情報端末も多数生産され普及しつつある。それらの携帯情報機器にはCPU(中央演算処理回路)をはじめとして、多くの半導体装置が使われている。

半導体装置は様々な種類があるが、その一例としてCPUのブロック図を図10に示す。ここに示されるCPU1001は、タイミングコントロール回路1002、命令解析デコーダー1003、レジスタアレイ1004、アドレスロジックバッファ回路1005、データバスインターフェイス1006、ALU1007、命令レジスタ1008などより構成されている。

ここで、それぞれの回路について簡単に説明する。タイミングコントロール回路は外部からの命令を受け取り、それを内部用の情報に変換し、他のブロックに送り出す。また、内部の動作応じて、メモリデータの読み込み、書き込みなどの指示を外部に与える。命令解析デコーダー1003は外部の命令を内部用の命令に変換する役割を持つ。レジスタアレイ1004はデータを一時的に保管する揮発性メモリである。アドレスロジックバッファ1005は外部メモリのアドレスを指定する回路である。データバスインターフェイス1006は、外部のメモリまたはプリンタなどの機器にデータを出し入れする回路である。ALU1007は演算を行う回路である。命令レジスタ1008は命令を一時的に記憶しておく回路である。このような回路の組み合わせによってCPUは構成されている。

これらのCPUをはじめとする半導体装置では最近、基板をシリコン基板でなく、絶縁体を用いたものが現れている。このような半導体装置はSOI(シリコン・オン・インシュレータ)とよばれ開発が行われている。基板を絶縁体とすることによって、トランジ

スタと基板との間の寄生容量を削減し、高速化や低電力化を行うことができる。とくに、低電力化のため、携帯用電子機器に用いられている。消費電力が大きな半導体装置を用いた電子機器では、必要なバッテリーが大きくなる、冷却用のファンが必要となるなどの問題があり、電子機器自体が大型になるという問題が発生する。

そこで、高熱伝導性と低弾性を同時に満足するように配線基板とパッケージとを接着する構造を有する複合型半導体装置を提供するものがある。

【特許文献1】 特開平7-74282号公報

また、図11に従来のシリコン基板を用いた半導体装置のインバータ2段の回路の例を示す。この例ではインバータ回路はPchトランジスタ1102、1104、Nchトランジスタ1101、1103によって構成される。

図12にSOI基板を用いた半導体装置のインバータ2段の回路の例を示す。この例ではインバータ回路はPchトランジスタ1202、1204、Nchトランジスタ1201、1203によって構成される。

【発明の開示】

【発明が解決しようとする課題】

前述したような、SOIは携帯用電子機器の省電力化には非常に有効な手段であるが、以下のような課題が残っていた。

図13はN型のMOSTランジスタのドレイン電流とゲート電圧の関連を示したグラフである。理想的にはゲート電圧 V_g が正の領域では、ドレイン電流 I_d が十分大きく、ゲート電圧 V_g が0以下では、ドレイン電流 I_d は0であることが望ましい。ところが実際にはドレイン電流 I_d はカーブ1301に示すようにゲート電圧 V_g が0であっても、 I_L だけの漏れ電流が流れる。個々のトランジスタの電流は大きなものではないが、現在のLSIでは数百万のトランジスタが設けられており、それらの漏れ電流をあわせると、決して小さなものにはならない。このような漏れ電流は待機時の半導体装置の消費電力を増加させるもとになっていた。

トランジスタのチャネル領域に不純物を微量添加し、図13に示すカーブを右にずら

すことによって、この漏れ電流を減らすことは可能である。しかし、その場合、 V_g が正の場合の電流も低下してしまい、回路の周波数特性を低下させるという問題があった。

また、図11に示す回路では、従来のシリコン基板を用いた半導体装置ではチャンネルの下側に接する半導体領域はGNDまたは電源に接続され、固定の電位が与えられる。よって、 I_d-V_g カーブは固定となり、前述したような問題が発生する。図12に示す回路では、SOI基板を用いた半導体装置ではチャンネルの下側に接する半導体領域はフローティングになるか、存在しないのいずれかである。よって、 I_d-V_g カーブは固定となり、やはり前述したような問題が発生する。

以上のような問題を鑑み本発明では漏れ電流による消費電力の少ない半導体装置及びその駆動方法、並びにそれを用いた電子機器を提供することを目的とする。

【課題を解決するための手段】

以上のような問題を解決するため、本発明は、トランジスタを構成する半導体薄膜の両側にそれぞれゲート電極を設け、第一のゲート電極に論理信号を、第二のゲート電極にしきい値制御信号を加え、半導体装置を構成するトランジスタのしきい値を第二のゲート電極の電位によって可変にする半導体装置及びその駆動方法を提供する。そして、半導体装置にこのようなバックゲート付きトランジスタにより構成される複数のロジック回路を設けた半導体装置及びその駆動方法を提供する。すなわち、漏れ電流による消費電力が問題となるのは、トランジスタの状態変化が少なくなっている期間が多い場合である。このような状態は待機モードに多い。一方回路が頻繁に動作している期間においては、消費電力はトランジスタのオン特性によってきまり、漏れ電流は無視できる。このようなモードは活性モードである。

このような待機モードと活性モードの区別はしきい値制御回路を制御する検出手段（例えばプログラム）によって制御し、この検出手段としきい値制御回路を用いることで、トランジスタのしきい値が変更できる。従って、待機時にトランジスタのしきい値を高く設定することができるため、漏れ電流による消費電力を下げる事が可能となる。

本発明は、絶縁表面上の薄膜トランジスタを具備したロジック回路と、前記ロジック回路の動作頻度を検出し、その検出結果をしきい値制御回路に出力する検出手段と

を有し、前記薄膜トランジスタは、論理信号が入力される第1のゲート電極と、前記しきい値制御回路からしきい値制御信号が入力される第2のゲート電極とを有し、前記しきい値制御信号により、前記薄膜トランジスタのソース電極とドレイン電極の間を流れる電流量が制御されることを特徴とする。前記第2のゲート電極上に半導体薄膜が設けられ、前記半導体薄膜上に前記第1のゲート電極が設けられることを特徴とする。

本発明は、絶縁表面上の薄膜トランジスタを具備したロジック回路と、前記ロジック回路の動作頻度を検出し、その検出結果をしきい値制御回路に出力する検出手段として機能させるためのプログラムを記録した記憶媒体を有し、前記薄膜トランジスタは、論理信号が入力される第1のゲート電極と、前記しきい値制御回路からしきい値制御信号が入力される第2のゲート電極とを有し、前記しきい値制御信号により、前記薄膜トランジスタのソース電極とドレイン電極の間を流れる電流量が制御されることを特徴とする。

また、上記半導体装置は、CPU又は画像処理回路であることを特徴とする。

本発明は、絶縁表面上の薄膜トランジスタを具備したロジック回路と、前記ロジック回路の動作頻度を検出し、その検出結果をしきい値制御回路に出力する検出手段とを有し、前記検出手段は待機モード又は活性モードを判別し、前記検出手段が前記待機モードを判別すると、前記しきい値制御回路は、前記薄膜トランジスタのしきい値を高くする前記しきい値制御信号を、前記ロジック回路に出力することを特徴とする。

以上によって、本発明では、待機時にトランジスタのしきい値を高く設定することができ、漏れ電流を小さくすることが可能となる。これによって、バッテリーの小型化が可能となり、小型かつ軽量で消費電力の小さな電子機器を実現することができる。

【発明の効果】

本発明は、トランジスタにバックゲートを設け、且つそのバックゲート電圧を検出手段(プログラムが記録された記憶媒体)によって制御することにより、待機時の消費電力を下げている。それによって、バッテリーを小さくし、体積のちいさな電子機器を実現することができる。小型化、軽量化及び薄型化が実現される。

【発明を実施するための最良の形態】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本実施の形態の記載内容に限定して解釈されるものではない。

図1は本発明を用いた半導体装置である。半導体装置は様々な種類があるが、その一例としてCPUのブロック図を図1に示す。ここに示されるCPU101は、タイミングコントロール回路102、命令解析デコーダー103、レジスタアレイ104、アドレスロジックバッファ回路105、データバスインターフェイス106、ALU107、命令レジスタ108などより構成されている。以上は従来例と同じであるが、図1のブロック図ではしきい値制御回路109を追加している。このしきい値制御回路は他のロジック回路にしきい値制御信号を供給する。

このしきい値制御信号はしきい値を可変するトランジスタに送られる。図2にインバータ回路2段の例を用いて説明する。この例ではインバータ回路はPchトランジスタ202、204、Nchトランジスタ201、203によって構成される。従来と異なるのは本発明では、チャンネルの両側にゲート電極を有するバックゲート付きトランジスタを用いている点であり、第一のゲート電極に論理信号を加え、第二のゲート電極にしきい値制御用信号が加えられることである。しきい値制御用信号はPchしきい値制御線、Nchしきい値制御線を介して供給される。

図3に第一および第二のゲート電極を有するトランジスタの I_d-V_g 特性を示す。図3では3種類のカーブ301～303を示しているが、カーブ302は第二のゲート電極に正の固定電圧を加えたときのカーブである。このような場合にはカーブが左にシフトし、より電流が流れるようになる。またカーブ301は第二のゲート電極に0の電圧をかける場合である。このような場合は従来例と同じである。カーブ303は第二のゲート電極に負の電圧を加えたときのカーブである。このような場合にはカーブが右にシフトし、電流は流れにくくなり、漏れ電流も低減する。このようにインバータ回路にしきい値制御機能を設け、 I_d-V_g カーブをシフトさせることによって、漏れ電流を低減することが可能となる。

次に、その動作方法について、図4を用いて説明する。本発明の半導体装置はトランジスタのしきい値を制御する検出手段(例えば、プログラム、プログラムが記録された記憶媒体、ソフトウェア)を搭載する。この検出手段は半導体装置(ロジック回路)の動作頻度を検出するプログラムと、検出があるレベルを超えたら半導体装置内部または外部のメモリから、しきい値制御用データを呼び出し、しきい値制御回路を動作させるプログラムからなる。

動作頻度検出プログラムは、一定時間にある命令が何回使用されたかをカウントするものであり、カウント数に従って動作頻度を検出することができる。すなわち、一定時間内の使用回数を設定しておき、その期間内の検出回数がある値以下であれば第一のモード、ある値を超えていれば第二のモードと判定する。もちろん、判定方法はこれに限定するものではない。ここで、第一のモードを待機モード、第二のモードを活性化モードとすれば、待機時、活性化時に判断ができ、これにあわせて、しきい値を制御する。

このようにして、半導体装置内部にしきい値制御回路をもうけ、且つ検出手段で、半導体装置のモードを検出し、しきい値制御回路を制御することによって、半導体装置の消費電力を状況に合わせて低く抑えることが可能となる。

本実施形態の半導体装置は、CPU、画像処理装置などとして使用することが可能である。

【実施例】

(実施例1)

図5は本発明の半導体装置を構成する薄膜トランジスタの断面図を示したものである。以下にその製造工程を説明する。絶縁基板501上に下地膜502を成膜し、第二ゲート電極503、504を形成する。次に第二ゲート電極用ゲート絶縁膜505を成膜し、さらに半導体薄膜領域506、507を形成する。次に、第一ゲート電極用ゲート絶縁膜508、509を形成し、第一ゲート電極510、511を形成する。P型不純物、N型不純物を添加し、ソース・ドレイン領域を形成したあと、層間膜512を成膜し、コンタクトホールを開口し、ソース・ドレイン電極513、514、515を形成する。このようにして、バックゲート付きトランジスタを構成することができる。

本発明はこの実施例には限定されない。他の形状、他の製造工程を経たものでも適応は可能である

(実施例2)

図6はしきい値制御回路の実施例である。本実施例では、しきい値制御の対象となる回路が半導体装置中に複数あり、且つ、それらを独立に制御したい場合に用いる。本実施例のしきい値制御回路はデータバスより制御用データを格納するメモリ回路603、606、609、その格納データをアナログ電圧に変換するA/D変換回路602、605、608、アナログ電圧をバッファ出力するバッファ回路601、604、707によって構成される。バッファ回路の出力電圧はしきい値制御線を介して、各回路の第二ゲート電極に接続され、トランジスタのしきい値を制御する。本実施例では複数の回路を独立に制御するため複数のしきい値制御回路を設けたが、これに限定されず1つであってもよい。

(実施例3)

図7を用いて、具体的にしきい値制御回路を駆動する方法について、説明をおこなう。図7はアドレスコンパレータ701、アドレスメモリ702、カウンタ703、リセット信号発生回路704、判別回路705、判別基準値メモリ706およびしきい値制御回路707よりなる。アドレスコンパレータにはアドレスバスが接続され、アドレスデータが入力される。また、アドレスメモリに記憶されたアドレスデータが入力される。この2つのデータを比較し、一致した場合にカウンタ703に一致を表す信号を出力する。

カウンタ703はアドレスコンパレータ701の出力をカウントする。このとき、リセット信号発生回路704より、定期的に関リセット信号が入力される。リセット信号が例えば0.01秒間に1回入力されるとすると、カウンタ703は0.01秒間にアドレスメモリ702のデータとアドレスバスのデータが何回一致したかをカウントすることになる。この時間は0.01秒間には限定されず、他の時間でも良い。

判別回路705はカウンタ703の出力と判別基準値メモリ706のデータを比較し、判別基準値メモリ706の値をカウンタ703の出力の値が上回った場合にはしきい値を下げるようにしきい値制御回路707を動作させる。また、判別基準値メモリ706の値

をカウンタ703の出力の値が下回った場合にはしきい値を上げるようにしきい値制御回路707を動作させる。

図7において、アドレスメモリ702、判別基準値メモリ706はマスクROMのような固定メモリでも良いし、EEPROMのような書き換え可能な不揮発性メモリでも良いし、SRAMなどの揮発性メモリに必要なに応じてデータを記憶したものでも良い。

図8にアドレスコンパレータ801の回路図を示す。図8は簡略化のため4ビットの例で記載してあるが、4ビットには限定されない。アドレスバス802とアドレスメモリ801の各ビットごとの値をEXOR803～806に入力し、EXOR803～806の出力をNOR807に入力している。図8では、NOR807の出力にラッチ回路808を入れているがこれは、動作切替時のグリッジなどを防止するためで、必ずとも無くても良い。ラッチパルスにより、切替終了後のデータをラッチする。

カウンタ803は公知のリセット端子付カウンタを用いれば良い。リセット信号発生回路804はクロック信号などの固定周波数の信号を必要な数だけ分周すれば良い。判別回路805はカウンタ803の出力から、判別基準値メモリ806の値を減算し、差がプラスから0になった時点、マイナスから0になった時点でしきい値制御回路807を動作させれば良い。また、差が0からマイナスになった時点、0からプラスになった時点においてしきい値制御回路807を動作させれば良い。

(実施例4)

本発明の半導体装置は各種電子機器に用いることができる。以下に、本発明の半導体装置を組み込んだ電子機器について説明する。

その様な電子機器としては、ビデオカメラ、デジタルカメラ、ヘッドマウントディスプレイ(ゴーグル型ディスプレイ)、ゲーム機、カーナビゲーション、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話または電子書籍等)などが挙げられる。それらの一例を図7に示す。

図9(A)はデジタルカメラであり、本体9101、表示部9102、受像部9103、操作キー9104、外部接続ポート9105、シャッター9106等を含む。本発明の半導体装置をカメラの制御回路、画像処理回路などに用いることで、小型で低消費電力なデジタルカメラが得られる。

図9(B)はノートパソコンであり、本体9201、筐体9202、表示部9203、キーボード9204、外部接続ポート9205、ポインティングマウス9206等を含む。本発明の半導体装置をCPUなどに使用することで、小型で低消費電力なノートパソコンが得られる。

図9(C)は携帯情報端末であり、本体9301、表示部9302、スイッチ9303、操作キー9304、赤外線ポート9305等を含む。本発明の半導体装置をCPUや画像処理回路などに使用することで、小型で低消費電力な携帯情報端末が得られる。

図9(D)は記録媒体を備えた画像再生装置(具体的にはDVD再生装置)であり、本体9401、筐体9402、記録媒体(CD、LDまたはDVD等)読込部9405、操作スイッチ9406、表示部a9403、表示部b9404等を含む。表示部aは主として画像情報を表示し、表示部bは主として文字情報を表示するが、本発明の半導体装置を記録媒体を備えた画像再生装置の画像処理回路などに用いることで、小型で低消費電力な画像再生装置が得られる。なお、記録媒体を備えた画像再生装置としては、CD再生装置、ゲーム機器などに本発明を用いることができる。

図9(E)は折りたたみ式携帯表示装置であり、本体9501に本発明を用いたCPUなどを搭載することで、小型で低消費電力な携帯表示装置が得られる。

図9(F)はビデオカメラであり、本体9601は、表示部9602、筐体9603、外部接続ポート9604、リモコン受信部9605、受像部9606、バッテリー9607、音声入力部9608、接眼部9609、操作キー9610などを含む。本発明の半導体装置は画像処理回路などに用いることで、小型で低消費電力なビデオカメラが得られる。

図9(G)は携帯電話であり、本体9701は、筐体9702、表示部9703、音声入力部9704、アンテナ9705、操作キー9706、外部接続ポート9707などを含む。本発明の半導体装置をCPUなどに用いることで、小型で低消費電力な携帯電話が得られる。

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は、実施の形態形態と実施例1、2のうちのどのような組み合わせからなる構成を用いても実現することができる。

【図面の簡単な説明】

- 【図1】 本発明の半導体装置を示す図。
- 【図2】 本発明の半導体装置のインバータ回路。
- 【図3】 本発明の半導体装置に用いられるトランジスタのドレイン電流特性。
- 【図4】 本発明の半導体装置に用いる検出手段。
- 【図5】 本発明の半導体装置の断面図。
- 【図6】 本発明のしきい値制御回路。
- 【図7】 本発明のしきい値制御回路の駆動方法を説明する図。
- 【図8】 本発明に用いるアドレスコンパレータの回路図。
- 【図9】 本発明の半導体装置を用いた電子機器。
- 【図10】 従来の半導体装置を示す図。
- 【図11】 従来の半導体装置のインバータ回路。
- 【図12】 従来の半導体装置のインバータ回路。
- 【図13】 従来の半導体装置に用いられるトランジスタのドレイン電流特性。

特許請求の範囲

【請求項1】

絶縁表面上の薄膜トランジスタを具備したロジック回路と、
前記ロジック回路の動作頻度を検出し、その検出結果をしきい値制御回路に出力する検出手段とを有し、
前記薄膜トランジスタは、論理信号が入力される第1のゲート電極と、前記しきい値制御回路からしきい値制御信号が入力される第2のゲート電極とを有することを特徴とする半導体装置。

【請求項2】

請求項1において、前記第2のゲート電極上に半導体薄膜が設けられ、前記半導体薄膜上に前記第1のゲート電極が設けられることを特徴とする半導体装置。

【請求項3】

請求項1に記載の前記半導体装置を具備することを特徴とするCPU。

【請求項4】

請求項1に記載の前記半導体装置を具備することを特徴とする画像処理回路。

【請求項5】

請求項1記載の前記半導体装置を具備することを特徴とする電子機器。

【請求項6】

絶縁表面上の薄膜トランジスタを具備したロジック回路と、
前記ロジック回路の動作頻度を検出し、その検出結果をしきい値制御回路に出力する検出手段とを有し、
前記薄膜トランジスタは、論理信号が入力される第1のゲート電極と、前記しきい値制御回路からしきい値制御信号が入力される第2のゲート電極とを有し、
前記しきい値制御信号により、前記薄膜トランジスタのソース電極とドレイン電極の間を流れる電流量が制御されることを特徴とする半導体装置。

【請求項7】

請求項6において、前記第2のゲート電極上に半導体薄膜が設けられ、前記半導体薄膜上に前記第1のゲート電極が設けられることを特徴とする半導体装置。

【請求項8】

請求項6に記載の前記半導体装置を具備することを特徴とするCPU。

【請求項9】

請求項6に記載の前記半導体装置を具備することを特徴とする画像処理回路。

【請求項10】

請求項6に記載の前記半導体装置を具備することを特徴とする電子機器。

【請求項11】

絶縁表面上の薄膜トランジスタを具備したロジック回路と、

前記ロジック回路の動作頻度を検出し、その検出結果をしきい値制御回路に出力するためのプログラムを記録した記憶媒体を有し、

前記薄膜トランジスタは、論理信号が入力される第1のゲート電極と、前記しきい値制御回路からしきい値制御信号が入力される第2のゲート電極とを有することを特徴とする半導体装置。

【請求項12】

請求項11において、前記第2のゲート電極上に半導体薄膜が設けられ、前記半導体薄膜上に前記第1のゲート電極が設けられることを特徴とする半導体装置。

【請求項13】

請求項11に記載の前記半導体装置を具備することを特徴とするCPU。

【請求項14】

請求項11に記載の前記半導体装置を具備することを特徴とする画像処理回路。

【請求項15】

請求項11に記載の前記半導体装置を具備することを特徴とする電子機器。

【請求項16】

絶縁表面上の薄膜トランジスタを具備したロジック回路と、

前記ロジック回路の動作頻度を検出し、その検出結果をしきい値制御回路に出力するためのプログラムを記録した記憶媒体を有し、

前記薄膜トランジスタは、論理信号が入力される第1のゲート電極と、前記しきい値制御回路からしきい値制御信号が入力される第2のゲート電極とを有し、

前記しきい値制御信号により、前記薄膜トランジスタのソース電極とドレイン電極の間を流れる電流量が制御されることを特徴とする半導体装置。

【請求項17】

請求項16において、前記第2のゲート電極上に半導体薄膜が設けられ、前記半導体薄膜上に前記第1のゲート電極が設けられることを特徴とする半導体装置。

【請求項18】

請求項16に記載の前記半導体装置を具備することを特徴とするCPU。

【請求項19】

請求項16に記載の前記半導体装置を具備することを特徴とする画像処理回路。

【請求項20】

請求項16に記載の前記半導体装置を具備することを特徴とする電子機器。

【請求項21】

絶縁表面上の薄膜トランジスタを具備したロジック回路と、
前記ロジック回路の動作頻度を検出し、その検出結果をしきい値制御回路に出力する検出手段とを有し、
前記検出手段は第1のモード又は第2のモードを判別し、
前記しきい値制御回路は前記第1又は前記第2のモードに応じたしきい値制御信号を前記ロジック回路に出力することを特徴とする半導体装置の駆動方法。

【請求項22】

絶縁表面上の薄膜トランジスタを具備したロジック回路と、
前記ロジック回路の動作頻度を検出し、その検出結果をしきい値制御回路に出力する検出手段とを有し、
前記検出手段は待機モード又は活性モードを判別し、
前記検出手段が前記待機モードを判別すると、前記しきい値制御回路は、前記薄膜トランジスタのしきい値を高くする前記しきい値制御信号を、前記ロジック回路に出力することを特徴とする半導体装置の駆動方法。

【請求項23】

絶縁表面を有する基板と、
前記基板上の薄膜トランジスタを有する論理回路と、
前記論理回路と電気的に接続され、前記論理回路の動作頻度を検出する検出手段と、

前記検出手段と電氣的に接続されたしきい値制御回路と、
を有する半導体装置。

【請求項24】

絶縁表面を有する基板と、
前記基板上の薄膜トランジスタを有する論理回路と、
前記論理回路と電氣的に接続されたアドレスコンパレータと、
前記アドレスコンパレータと電氣的に接続されたカウンタと、
前記カウンタと電氣的に接続された判別回路と、
前記判別回路と電氣的に接続されたしきい値制御回路と、
を有する半導体装置。

【請求項25】

絶縁表面を有する基板と、
前記基板上の薄膜トランジスタを有する論理回路と、
前記論理回路と電氣的に接続され、前記論理回路の動作頻度を検出する検出手
段と、
前記検出手段と電氣的に接続されたしきい値制御回路と、
を有し、
前記薄膜トランジスタは複数のゲート電極とを有し、
前記しきい値制御回路は前記複数のゲート電極の少なくともひとつに電氣的に接
続している半導体装置。

【請求項26】

絶縁表面を有する基板と、
前記基板上の薄膜トランジスタを有する論理回路と、
前記論理回路と電氣的に接続されたアドレスコンパレータと、
前記アドレスコンパレータと電氣的に接続されたカウンタと、
前記カウンタと電氣的に接続された判別回路と、
前記判別回路と電氣的に接続されたしきい値制御回路と、
を有し、
前記薄膜トランジスタは複数のゲート電極とを有し、

前記しきい値制御回路は前記複数のゲート電極の少なくともひとつに電氣的に接続している半導体装置。

要約書

【要約】

【課題】 待機時に消費電力の少ない半導体装置を提供する。

【解決方法】 本発明は、トランジスタを構成する半導体薄膜の両側にそれぞれゲート電極を設け、第一のゲート電極に論理信号を、第二のゲート電極にしきい値制御信号を加え、半導体装置を構成するトランジスタのしきい値を第二のゲート電極の電位によって可変にする半導体装置及びその駆動方法を提供する。そして、半導体装置にこのようなバックゲート付きトランジスタにより構成される複数のロジック回路を設けた半導体装置及びその駆動方法を提供する。

【選択図】 図1